

04212277    \*\*Image available\*\*  
ELECTROOPTICAL DISPLAY DEVICE

PUB. NO.:    05-203977 [JP 5203977 A]  
PUBLISHED:    August 13, 1993 (19930813)  
INVENTOR(s):    YAMADA TAKEO  
APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)  
                 , JP (Japan)  
APPL. NO.:    04-230198 [JP 92230198]  
FILED:    August 28, 1992 (19920828)  
INTL CLASS:    [5] G02F-001/1345; G02F-001/133; G02F-001/136  
JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment)  
JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC  
                  MATERIALS -- Glass Conductors)  
JOURNAL:    Section: P, Section No. 1648, Vol. 17, No. 631, Pg. 27,  
                  November 22, 1993 (19931122)

#### ABSTRACT

PURPOSE: To improve a throughput and to decrease the mobility of a built-in active matrix circuit so as to prevent light leakage by building a peripheral driving circuit into the above device and subjecting only the driving circuit of the peripheral part of a substrate to laser annealing.

CONSTITUTION: After a 1st polycrystalline silicon film is formed on a borosilicate glass substrate 1, this polycrystalline silicon film is photoetched and is partially bored with holes. Only the peripheral on the substrate 1, i.e., the inside of the region of the peripheral driving circuit is subjected to the laser annealing while this part is laterally scanned by a beam formed by using a CE excited YAG laser as a light source. A CVD-SiO<sub>2</sub> film is then deposited over the entire surface and thereafter, the 2nd crystalline silicon film is formed by the same forming method as for the 1st polycrystalline silicon film and the source and drain parts of the 2nd polycrystalline silicon film are formed by the photoetching. The main surface of the substrate 1 is irradiated with phosphorus ions and is annealed in a forming gas, by which a diffused layer is formed. The active matrix substrate 2 is formed in such a manner.

DIALOG(R)File 352:DERWENT WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

009597098    \*\*Image available\*\*

WPI Acc No: 93-290645/199337

Related WPI Acc No: 97-136343; 97-308420

XRAM Acc No: C93-129593

XRPX Acc No: N93-223557

**Leakage resistant electro-optical display device - has electro-optical responsive compsn. inserted between glass substrates, and matrix type arranged data and gate line are formed on substrate etc.**

Patent Assignee: SEIKO EPSON CORP (SHIH )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 5203977	A	19930813	JP 8782401	A	19810630	G02F-001/1345	199337 B
			JP 92230198	A	19810630		

Priority Applications (No Type Date): JP 8782401 A 19810630; JP 92230198 A

19810630

Patent Details:

Patent	Kind	Lan Pg	Filing Notes	Application	Patent
JP 5203977	A	4	Div ex	JP 8782401	

Abstract (Basic): JP 5203977 A

Device in which an electro optical respondent compsn. is inserted inbetween a glass substrates. A matrix type arranged data line and gate line are formed on the substrate, a switching element made of a Si thin film transistor and a driving electrode are set on the crossing pt. to form an active matrix circuit. A functional element of the driving circuit at the periphery is made of thin film transistor, a periphery driving circuit for supplying signal to the lines is formed at the periphery of the glass substrate, the driving circuit is laser annealed only at neighbour of the data line.

USE/ADVANTAGE - The device is suitable for active matrix substrate, has improved resistance for leakage of photo and produced at lower cost.

In an example, a 5000 Angstrom (A) thick first polycrystalline Si film (4) was formed on a glass substrate (1), a hole was formed on it by photo etching, periphery of (1) was laser annealed, a 2000 A thick SiO<sub>2</sub> (5) was formed on it totally by CVD method, the sec.

polycrystalline Si film (6) was formed on it, a hole for source drain portion was formed at (6) of main surface of (1), a SiO<sub>2</sub> film (7) was formed on it, contact hole was opened, and electrode (8) was set to form an active matrix substrate. The lines number was 200 each, the data line was driven by 1 KMHz and gate line was driven by 25 KMHz, through put of annealing was several times improved, movility was 10 cm/V-sec at active matrix circuit and 100 cm/V-sec at periphery.

Dwg.3/3

Title Terms: LEAK; RESISTANCE; ELECTRO; OPTICAL; DISPLAY; DEVICE; ELECTRO; OPTICAL; RESPOND; COMPOSITION; INSERT; GLASS; SUBSTRATE; MATRIX;

TYPE;ARRANGE; DATA; GATE; LINE; FORMING; SUBSTRATE

Derwent Class: L03; P81; U14

International Patent Class (Main): G02F-001/1345

International Patent Class (Additional): G02F-001/133; G02F-001/136

File Segment: CPI; EPI; EngPI

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-203977

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. <sup>5</sup>	識別記号	府内整理番号	F I	技術表示箇所
G 0 2 F	1/1345	9018-2K		
	1/133	5 5 0	7820-2K	
	1/136	5 0 0	9018-2K	

審査請求 有 発明の数1(全4頁)

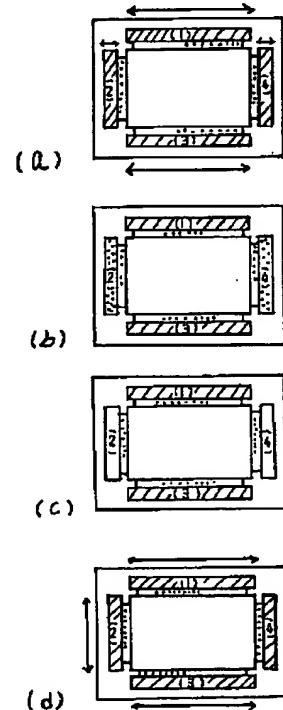
(21)出願番号 特願平4-230198  
(62)分割の表示 特願昭62-82401の分割  
(22)出願日 昭和56年(1981)6月30日

(71)出願人 000002369  
セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号  
(72)発明者 山田 駿夫  
長野県諏訪市大和3丁目3番5号株式会社  
諏訪精工舎内  
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】電気光学的表示装置

(57)【要約】

シリコン薄膜トランジスタ等からなるスイッチング素子及び駆動電極を有する電気光学的表示装置において、該周辺駆動回路中の能動素子はシリコン薄膜トランジスタで構成され、アクティブマトリクス回路部外周の該ガラス基板上にはデータ線及びゲート線に信号を提供する周辺駆動回路が形成され、周辺駆動回路のうちデータ線周辺駆動回路のみがレーザー・アニールされた電気光学的表示装置。



## 【特許請求の範囲】

【請求項1】 一対のガラス基板内に電気光学的応答をする組成物が封入されてなり、該ガラス基板上にはマトリクス状に配列されたデータ線とゲート線、該データ線と該ゲート線の各交点にはシリコン薄膜トランジスタからなるスイッチング素子及び駆動電極が配置されてアクティブマトリクス回路部を形成してなる電気光学的表示装置において、該周辺駆動回路中の能動素子はシリコン薄膜トランジスタで構成されてなり、該アクティブマトリクス回路部外周の該ガラス基板上には該データ線及び該ゲート線に信号を提供する周辺駆動回路が形成され、該周辺駆動回路のうちデータ線周辺駆動回路のみがレーザー・アニールされてなることを特徴とする電気光学的表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明のソーダガラス、ホウケイ酸ガラス、あるいは石英等の透明基板上に少なくとも多結晶シリコンあるいはアモルファスシリコンを主構成部材としてなるアクティブマトリクス基板に関するものである。

## 【0002】

【従来の技術】 近年平板型液晶ディスプレーは腕時計、電卓、玩具を始めとして自動車、計測器、情報機器端末へと応用分野が拡大されつつあり、特に最近においては半導体集積回路技術によってs i基板上へステッキング用トランジスタ回路をマトリクス状に形成しこのs i基板と透明ガラス板間に液晶を封入したテレビ画像表示用の液晶ディスプレーパネルが開発されている。

【0003】 アクティブマトリクス方式で液晶パネルを構成した例では前記単結晶s i基板を用いたものやガラス基板上に薄膜トランジスタを形成したもの及びバリスタ基板を用いたものなどが既に報告されているが中でも大型パネル化ならびにコスト面から前記ガラス基板上に薄膜トランジスタを形成してなるアクティブマトリクス基板は将来有望な方式と考えられている。

【0004】 従来ガラス基板上に多結晶シリコン等を堆積して形成される薄膜トランジスタは基板に対する熱制約から低温プロセスを用いざるを得ないことは周知の通りである。しかし前記薄膜トランジスタを用いてのアクティブマトリクス基板の場合アクティブマトリクス回路はともかくとして周辺駆動回路は高周波動作を要求されるため少なくとも移動度は単結晶シリコンに近いものでなくてはならない。そのため周辺駆動回路は単結晶シリコン基板上に形成し、アクティブマトリクス基板にいわゆる外掛けすることが一般的である。

## 【0005】

【発明が解決しようとする課題】 しかし、従来の前記方式では周辺駆動回路基板の製造費は勿論のことアクティブマトリクス基板への外掛け費用を含めると当然の事な

がら大幅なコストアップにつながることは言うまでもない。又基板材として石英基板のように耐熱性を有する材を用いてアクティブマトリクス基板を形成した場合は1000℃以上の高温プロセスも可能となるため周辺駆動回路を内蔵したアクティブマトリクス基板の製造は可能となる。

【0006】 しかし、ここで一つ問題となるのは光リークについてである。本来平板液晶ディスプレーは携帯用かつ野外用としての利用価値が大きく当然の事ながら太陽光の下での使用頻度が多くなる。

【0007】 アクティブマトリクスIC基板は直接太陽光が表示面を照射するためにIC基板内にも光が入射する。IC基板内への入射光は電子と正孔を発生させ基板内に拡散しP-N接合部に到達するとP-N接合部に電流が流れてしまう。すなわちこの光起電力効果はトランジスタのソースドレインのP-N接合部にリーク現象を引き起こし、正しい画像表示が得られなくなり、画像がちらついたり消えたりする。このため前記光リーク現象を押えるための一手段としては基板の移動度を小さくしリーク電流の低減を計ることであり、前述の如くアクティブマトリクス回路においてはそれがある程度可能であるからである。

【0008】 しかしながら前記高温プロセスは石英基板上の多結晶シリコン全体を結晶化させることになり、当然移動度が高くなり、光リークが増加し好ましい構造とはいえない。

【0009】 又近來は周知の如くレーザー光あるいはEB(エレクトロンビーム)を用いて無定型あるいは多結晶のシリコン画に照射することにより、結晶化をはかつたり、あるいはイオン照射時のダメージを消去する技術が開発されてきている。

【0010】 中でもレーザー加熱にはCWアルゴンレーザー、CWクリプトンレーザー、パルスYAGレーザー、CW励起YAGレーザーなど種々の方式があり出力、エネルギーあるいはスポット径をはじめとして生産性安定性に至るまで構造上、動作上の本質的な違いを有しており、目的による選択も重要な要素となる。

【0011】 このレーザ光を利用してのレーザーアニール技術を用いれば、例えばガラス基板上に周辺駆動回路を内蔵したアクティブマトリクス基板にレーザーアニールし全体に移動度を高めることは可能となる。しかしレーザーアニール効果はスポット径と照射時間によりスループットが決定されるため基板全体にレーザーアニール加工を行なうと例えば1時間当たりの生産性は基板数枚程度と小量であり効率の極めて悪い工程となってしまう。

【0012】 以上述べた如く光リークに強くしかも低価格アクティブマトリクス基板を製造するに当たっては従来方式における種々の欠点を改善する必要がある。

## 【0013】

【課題を解決するための手段】本発明は従来の欠点を除去しめるものであり、すなわちガラス等の透明基板上に多結晶シリコンあるいはアモルファスシリコンを主構成部材とするアクティブマトリクス回路を形成し、しかも同一基板上に前記アクティブマトリクス回路を包み込む形で周辺駆動回路を配置し、該周辺駆動回路領域のみをレーザーアニール加工等を行ないトランジスタの移動度を高めるというものである。すなわち前述の如く周辺駆動回路の内蔵化をはじめとし、移動度を高める一手段としてレーザーアニールを基板周辺部の駆動回路のみに照射するためスループットを向上ししかも内蔵のアクティブマトリクス回路の移動度を小さくしたため光リーク防止の向上も計れるという特徴を備えたものである。

#### 【0014】

【実施例】次に本発明を下記に記す実施例に基づいて詳細に説明する。

【0015】(実施例1) 図1は本発明によるアクティブマトリクス基板であり、ホウケイ酸ガラス基板1上にアクティブマトリクス回路2を中心部に周辺駆動回路3を外周部に配置したものである。

【0016】図2(a)から(c)は本発明のアクティブマトリクス基板の製造過程を説明するための基板断面図である。まず図2(a)の如くホウケイ酸ガラス基板1上に625°Cの減圧雰囲気中にて5000Åの第1の多結晶シリコン膜4を形成後該多結晶シリコン膜4をホトエッチングし部分的に開孔せしめる。次に基板上の周辺部すなわち図1の周辺駆動回路3の領域内のみ図3

(a)の如くCW励起YAGレーザーを光源としたビーム径200μm、線速度50cm/secでビームを左右の方向にスキャンさせながら、しかも1から4の順序にてレーザーアニール加工を行なった。次に図2(b)の如くに全面にCVD-SiO<sub>2</sub>膜5を2000Å堆積した後、前記第1の多結晶シリコン膜と同一形成方法で第2の多結晶シリコン膜6を形成した後、多結晶シリコン膜6のソースドレイン部の開孔をホトエッチングにて行なう。

【0017】次に基板正面に1×10/cm<sup>2</sup>のリンイオンを照射し550°C1Hのフォーミングガス中にてアニールを行ない拡散層を形成する。次に図2(c)の如くCVD-SiO<sub>2</sub>膜7を形成した後コンタクトホールを開孔し引き続き電極8の形成を行ないアクティブマトリクス基板の形成を終了する。本実施例にもちいたアクティブマトリクス回路のゲート及びデータ線のライン数は各々200本であり、本基板を用いてデーター線は約1MHz、又ゲート線も25MHzでの動作が確認され液晶表示ディスプレーとして充分な性能を有することが確認されている。又レーザーアニール加工の効果としてアニールのスループットは従来に較べて数倍以上の向上を見せており、さらに移動度はアクティブマトリクス回路中では約10cm/V·secであり、周辺駆動

回路部では約100cm/V·secが得られている。

【0018】(実施例2) 実施例1と同様に図1の多結晶シリコン膜を形成後ホトエッチング2で部分的な開孔を行なった後図3(b)の如く実施例1と同一条件にて周辺駆動回路の(1)と(3)の領域をレーザーアニール加工した後周辺駆動回路の(2)と(4)を(1)及び(3)に較べて低出力の約1J/cm<sup>2</sup>のエネルギー密度で照射した。すなわち周辺駆動回路の(2)と(4)の領域はゲート線駆動用であり、(1)及び(3)のデータ線用に較べて低周波動作が可能なため周辺駆動回路全体を同一エネルギー密度で照射する必要性はなく本実施例の結果でもゲート線を動作させるために充分な移動度を得ることが確認され、しかも基板外周部の二辺は低エネルギー密度照射のためスループットは実施例1に較べてさらに向上している。

【0019】(実施例3) 実施例1と同様に第1の多結晶シリコン膜を形成後ホトエッチングにて部分的な開孔を行なった後図3(c)の如く実施例1と同一条件にて周辺駆動回路の(1)と(3)領域すなわちデータ線駆動回路領域のみをレーザーアニールする。すなわち実施例(2)にて説明の如く特にゲート線のライン数の少ないアクティブマトリクス基板については本方式でも充分対応が取れスループットの大幅な向上が望める。

【0020】(実施例4) 実施例1と同様に第1の多結晶シリコン膜を形成後ホトエッチングにて部分的な開孔を行なった後図3(d)の如く基板の周辺駆動回路領域へのレーザーアニール照射をまず(1)の領域にビームを矢印の如く左右にスキャンさせて行ない、つづいて基板を中心にして90度回転し(2)の領域を(1)と同一方式にて照射し続いて同じ方式にて基板を回転させて(3)(4)の領域を照射する。この方式では実施例1に較べビームのスキャン数が大幅に減少できるため実施例1に較べてスループットが向上できる利点を有する。

【0021】以上実施例(1)から(4)にて説明した如く、本発明は平板液晶ディスプレー等に用いられるアクティブマトリクス基板において、ガラス基板上にアクティブマトリクス回路と周辺駆動回路をワンチップ化すると同時にレーザーアニール技術を利用し駆動回路のみにレーザーアニール照射を行ないアクティブマトリクス基板に耐光リーク対策をほどこしたものであり、低コストでしかも光リークに強いアクティブマトリクス基板の提供を可能にしたものである。

【0022】なお本実施例において透明基板としてホウケイ酸ガラスを用いているが他にソーダガラスあるいは石英板等の透明基板でも良く、さらにトランジスタ移動度を高的手段としてレーザーアニールの他にEB等についても効果は確認されており、これらの照射条件についても目的に応じて自由に選択可能であり、なんら本発明の目的から逸脱するものではない。

#### 【0023】

**【発明の効果】** 上述の如く本発明は、一对のガラス基板内に電気光学的応答をする組成物が封入されてなり、該ガラス基板上にはマトリクス状に配列されたデータ線とゲート線、該データ線と該ゲート線の各交点にはシリコン薄膜トランジスタからなるスイッチング素子及び駆動電極が配置されてアクティブマトリクス回路部を形成してなる電気光学的表示装置において、該アクティブマトリクス回路部外周の該ガラス基板上には該データ線及び該ゲート線に信号を提供する周辺駆動回路が形成され、該周辺駆動回路中の能動素子はシリコン薄膜トランジスタで構成されてなり、該周辺駆動回路のシリコン薄膜トランジスタの移動度と該アクティブマトリクス回路部のシリコン薄膜トランジスタの移動度とを異ならせるようにしたからレーザーハニール処理等によって、シリコントランジスタの薄膜の組成変化により容易に移動度の異なる領域を形成することが可能であるために、周辺駆動回路の応答速度は移動度を高くすることによって高周波応答を保証することができ、一方アクティブマトリクス回路部の移動度は低くすることによって、表示領域に入射される光によるトランジスタのオフ時のリーク電流を

最小限に押えることができる。このように移動度に対し両者が互いに背反する特性を有する薄膜トランジスタを同一基板上に構成することが可能である効果を有する。

#### 【図面の簡単な説明】

【図1】 本発明によるアクティブマトリクス基板における回路配置図。

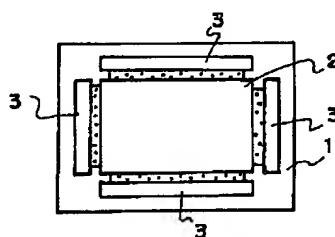
【図2】 (a) から (c) は本発明におけるアクティブマトリクス基板の製造工程を示す基板断面図。

【図3】 (a) から (d) は本発明におけるアクティブマトリクス基板上の周辺駆動回路領域へのレーザーハニール照射方法を示す平面図。

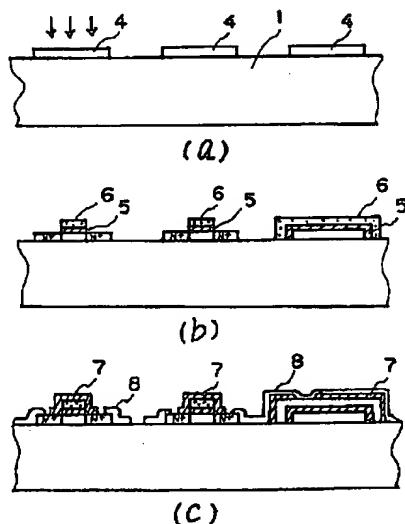
#### 【符号の説明】

- 1 … ガラス基板
- 2 … アクティブマトリクス基板
- 3 … 周辺駆動回路
- 4 … 多結晶シリコン膜
- 5 … CVD-SiO<sub>2</sub> 膜
- 6 … 多結晶シリコン膜
- 7 … CVD-SiO<sub>2</sub> 膜
- 8 … 電極

【図1】



【図2】



【図3】

